



Erstellung eines Verilog-Modells für Frequenzsyntheseblöcke

Integrierte Schaltkreise werden während der Entwicklung in Hardwarebeschreibungssprachen wie Verilog definiert. Auch Schaltungen für rekonfigurierbare Hardware wie Field Programmable Gate Arrays (FPGA) werden so beschrieben. Vor der tatsächlichen Umsetzung der Schaltung in Hardware wird sie üblicherweise erst simuliert. Dazu müssen für feste Funktionsblöcke Modelle in Verilog vorhanden sein.

Eine Art solcher Funktionsblöcke sind die Frequenzsyntheseblöcke des Artix-7 FPGAs. In der Software des FPGA-Herstellers sind dafür bereits Modelle enthalten, allerdings beeinträchtigt die Nutzung dieser Herstellersoftware die Reproduzierbarkeit wissenschaftlicher Ergebnisse. Alternative Open-Source-Stacks beinhalten bisher kein Modell zur Simulation dieser Frequenzsyntheseblöcke .

Im Rahmen der Bachelorarbeit soll ein Modell für die Frequenzsyntheseblöcke des Artix-7 FPGAs entwickelt werden. Als Basis dienen die Spezifikationen des FPGA-Herstellers (Datenblätter, Handbücher u.ä.). Die Umsetzung des Modells erfolgt in der Hardwarebeschreibungssprache Verilog. Des Weiteren soll das Modell dokumentiert und getestet werden. Die Dokumentation umfasst Kommentare im Quellcode, eine Verwendungsanleitung für das Modell und die Beschreibung der verwendeten Tests.

Die schriftliche Ausarbeitung kann auf Deutsch oder Englisch verfasst werden.

Anforderungen:

- Grundkenntnisse der technischen Informatik
- Erfahrung mit Hardwarebeschreibungssprachen von Vorteil

Ansprechpartner:

Clemens Fritsch
Paulinum, Raum P522
fritsch@informatik.uni-leipzig.de