



## Realisierung eines Konfigurationsgenerators für Frequenzsyntheseblöcke

Field Programmable Gate Arrays (FPGA) sind integrierte Schaltkreise, deren logische Funktionen geändert werden können. Moderne FPGAs wie der Artix-7 enthalten zusätzlich vordefinierte Funktionsblöcke, zum Beispiel zur Frequenzsynthese.

Da das Bestimmen der Parameter zur Konfiguration der Frequenzsyntheseblöcke sehr aufwendig ist, wird dazu normalerweise Software eingesetzt. Allerdings senkt die Nutzung der Software der FPGA-Hersteller die Reproduzierbarkeit wissenschaftlicher Ergebnisse. Alternative Open-Source-Stacks beinhalten bisher keine Software zur Parameterbestimmung der Frequenzsyntheseblöcke des Artix-7 FPGAs.

Im Rahmen der Bachelorarbeit soll ein kommandozeilenbasierter Konfigurationsgenerator für die Frequenzsyntheseblöcke des Artix-7 FPGAs entwickelt werden. Aus den gewünschten Eingangs- und Ausgangssignalen (Frequenz, Phase, Tastverhältnis usw.) erzeugt dieser die passenden Parameter für den Frequenzsyntheseblock, ggf. gleich in Form von Verilog-Code. Der Konfigurationsgenerator soll in Python implementiert werden.

Die schriftliche Ausarbeitung kann auf Deutsch oder Englisch verfasst werden.

### Anforderungen:

- Grundkenntnisse im Programmieren mit Python

### Ansprechpartner:

Clemens Fritsch  
Paulinum, Raum P522  
fritsch@informatik.uni-leipzig.de