

Analyse von Busarchitekturen für programmierbare Systems-on-Chip

Bachelor-, Masterarbeit

In Zusammenarbeit mit Missing Link Electronics aus dem Silicon Valley, USA, bieten wir mehrere Bachelor- / Masterarbeiten zum Thema Rekonfigurierbare Systeme an, die einen Einblick in den FPGA-Systementwurf sowie moderne programmierbare Mikroarchitekturen bieten.

Durch die enormen Kapazitätssteigerungen moderner FPGAs können heutzutage komplette Systeme mit CPU, Peripherie, Speichercontrollern und Koprozessoren in einem FPGA implementiert werden. Der Vorteil ist hier, dass Änderungen durch die Programmierbarkeit der FPGAs während der Entwicklung möglich sind und somit die Rechnerarchitektur an die Applikation angepasst werden können.

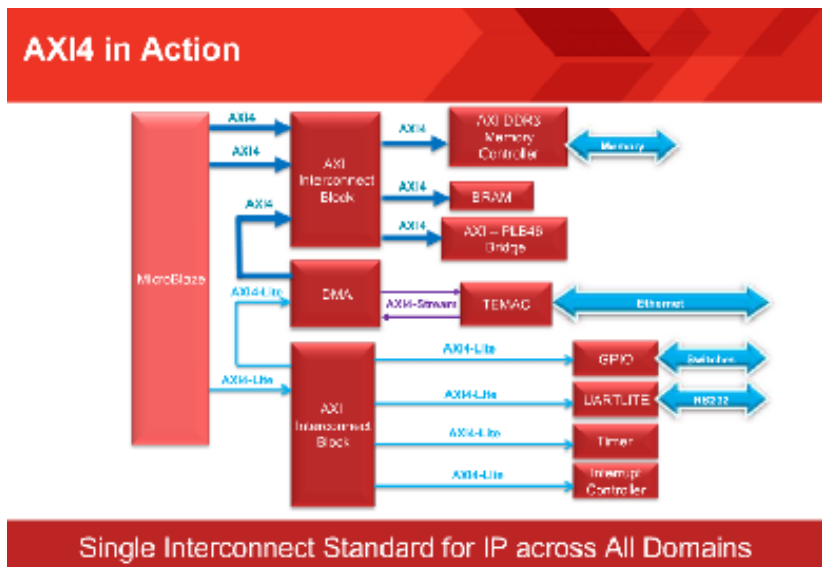
Grundlage dieser Mikrorechnerarchitekturen sind

Bussysteme, die „on-Chip“ die einzelnen Komponenten verbinden. Während früher diese Bussysteme auf den Ressourcenverbrauch im FPGA hin optimiert wurden, treten heutzutage standardisierte Busse in den Vordergrund, die eine große Auswahl an fertig anzuschließenden Komponenten mit sich bringen.

Im Rahmen dieser Arbeit soll der Ressourcenverbrauch und die Performanz zweier unterschiedlicher Busarchitekturen untersucht werden. Kandidaten sind der „Processor Local Bus“ (PLB), initial von IBM für die Power-Architektur entwickelt, sowie der „Advanced eXtensible Interface 4“ (AXI4, der genaugenommen kein Bus ist), wie sie in modernen ARM-basierten Systems-on-Chip eingesetzt werden.

Um Vergleichbarkeit zu erreichen, soll im Rahmen dieser Arbeit ein einfaches System-on-Chip auf Basis der Xilinx MicroBlaze-CPU für beide Busarchitekturen aufgebaut werden und auf einer bestehenden FPGA- / GNU/Linux-Plattform für praktische Analysen implementiert werden. Unter Verwendung existierender Analysewerkzeuge auf GNU/Linux können dann beide Architekturen bzw. deren Systembusse mit einander verglichen werden.

Vorkenntnisse im Entwurf integrierter Systeme, Grundkenntnisse FPGA-Entwicklung in VHDL sowie Programmierkenntnisse in C und/oder C++ setzen wir voraus.



Single Interconnect Standard for IP across All Domains

Kontakt